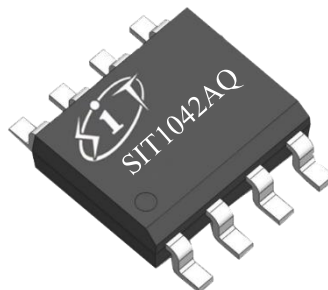


特点

- 兼容“ISO 11898”和“SAE J2284-1 to SAE J2284-5”标准
- AEC-Q100 认证;
- 内置过温保护功能;
- 总线端口±58V 耐压;
- 驱动器 (TXD) 显性超时功能;
- 待机总线 (BUS) 显性超时功能;
- 带唤醒功能的低功耗待机模式;
- SIT1042AQT/3、SIT1042AQT/31、SIT1042AQT/3 和 SIT1042AQT/31 I/O 电压范围支持 3.3V 和 5V MCU;
- VCC 和 VIO 电源引脚上具有欠压保护功能;
- 高速 CAN, 支持 5Mbps CAN FD 灵活数据速率;
- TXD 至 RXD 典型环路延时小于 100ns;
- 高抗电磁干扰能力;
- 未上电节点不干扰总线;
- 支持 DFN3*3-8, 小外形, 无引脚封装。

产品外形示意图



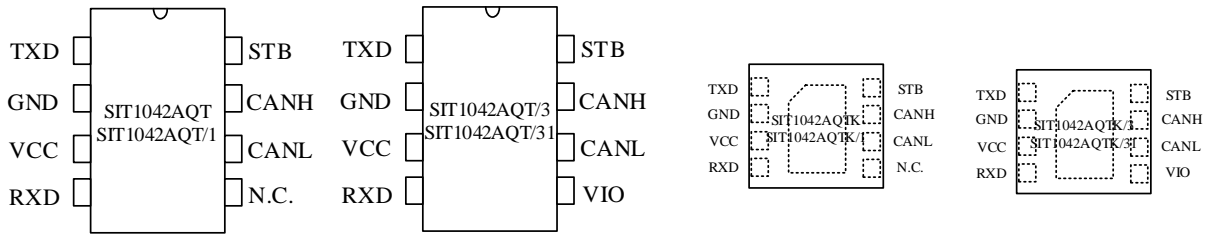
提供绿色环保无铅封装

描述

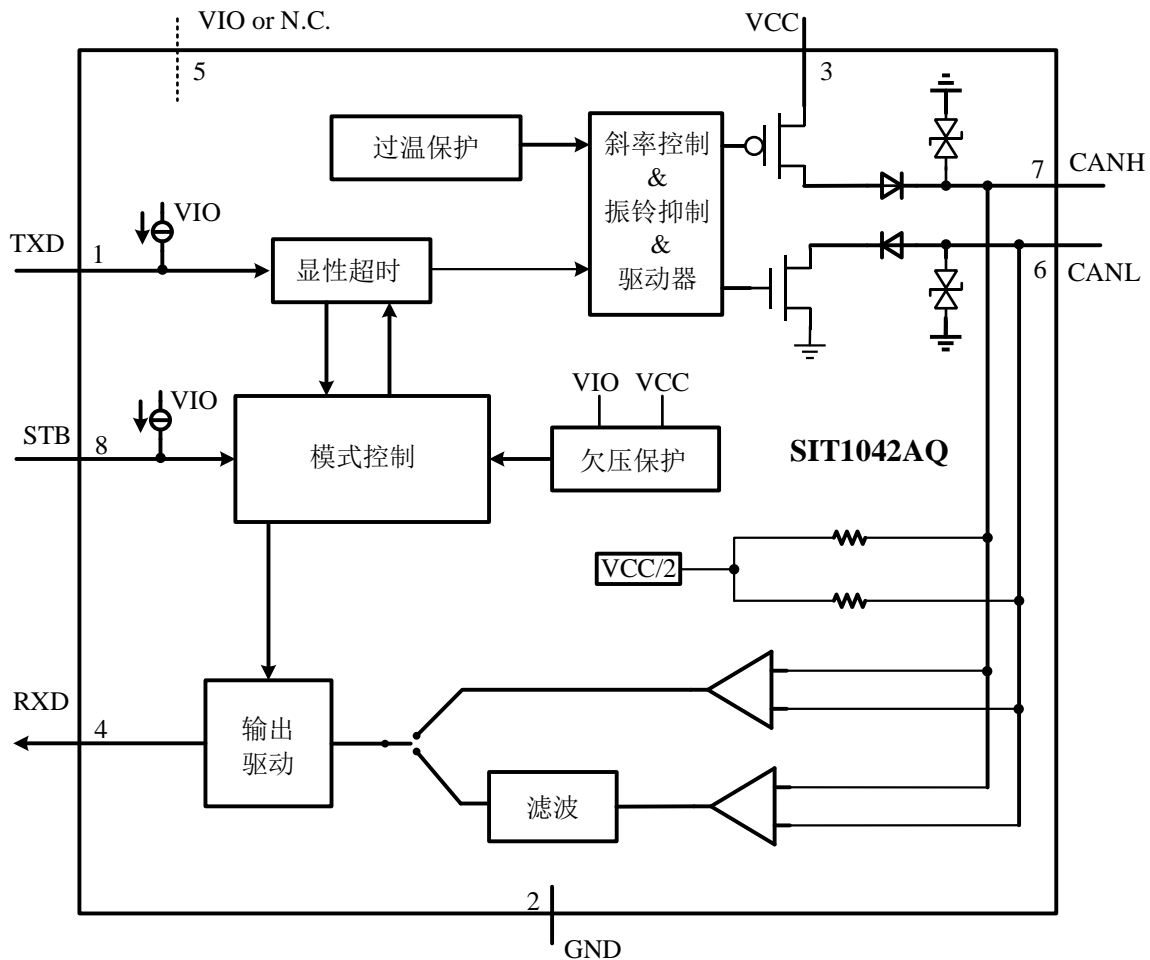
SIT1042AQ 是一款应用于 CAN 协议控制器和物理总线之间的接口芯片, 可应用于车载、工业控制等领域, 支持 5Mbps 灵活数据速率 CAN FD, 具有在总线与 CAN 协议控制器之间进行差分信号传输的能力。

SIT1042AQ 为 SIT1042Q 芯片的升级版本, 改善了总线信号的对称性, 拥有更低的电磁辐射性能。另外, SIT1042AQ 可完全兼容 SIT1042Q。

参数	符号	测试条件	最小	最大	单位
总线供电电压	VCC		4.5	5.5	V
MCU 侧端口供电电压	VIO		2.8	5.5	V
最大传输速率	1/t _{bit}	非归零码	5		Mbaud
CANH、CANL 引脚电压	V _{can}		-58	+58	V
总线差分电压	V _{diff}		1.5	3.0	V
结温	T _j		-40	150	°C

引脚分布图

引脚定义

引脚序号	引脚名称	引脚功能
1	TXD	发送器数据输入端
2	GND	地
3	VCC	供电电源
4	RXD	接收器数据输出端
5	VIO	收发器 I/O 电平转换电源电压 (SIT1042AQT/3、SIT1042AQT/31、SIT1042AQT/K/1 和 SIT1042AQT/K/31 型号)
5	N.C.	无连接 (SIT1042AQT、SIT1042AQT/1、SIT1042AQT/K 和 SIT1042AQT/K/1 型号)
6	CANL	低电位 CAN 电压输入输出端
7	CANH	高电位 CAN 电压输入输出端
8	STB	高速模式与待机模式选择, 低电平为高速模式

内部电路结构框图

极限参数

参数	符号	大小	单位
电源电压	VCC	-0.3~7	V
MCU 侧端口	TXD, RXD, STB, VIO	-0.3~7	V
总线侧输入电压	CANL, CANH	-58~58	V
总线差分耐压	$V_{CANH-CANL}$	-27~27	V
存储温度范围	T_{stg}	-55~150	°C
结温	T_j	-40~150	°C

最大极限参数值是指超过这些值可能会使器件发生不可恢复的损坏。在这些条件之下是不利于器件正常运作的, 器件连续工作在最大允许额定值下可能影响器件可靠性, 所有的电压的参考点为地。

总线发送器直流特性

参数	符号	测试条件	最小	典型	最大	单位
CANH 输出电压 (显性)	$V_{OH(D)}$	正常模式, TXD=0V, $R_L=50\Omega$ 至 65Ω	2.75	3.5	4.5	V
CANL 输出电压 (显性)	$V_{OL(D)}$		0.5	1.5	2.25	V
总线输出差分电压 (显性)	$V_{OD(D)}$	正常模式, TXD=0V, $R_L=50\Omega$ 至 65Ω	1.5		3	V
		正常模式, TXD=0V, $R_L=45\Omega$ 至 70Ω	1.4		3.3	V
		正常模式, TXD=0V, $R_L=2240\Omega$ ⁽¹⁾	1.5		5	V
总线输出电压 (隐性)	$V_{O(R)}$	正常模式, TXD=VIO, 无负载	2	0.5VCC	3	V
总线差分输出电压 (隐性)	$V_{OD(R)}$	正常模式, TXD=VIO, 无负载	-500		50	mV
总线输出电压 (总线偏置到地)	$V_{O(S)}$	待机模式, 无负载	-0.1		0.1	V
总线差分输出电压 (总线偏置到地)	$V_{OD(S)}$	待机模式, 无负载	-0.2		0.2	V
显性输出电压对称性	$V_{dom(TX)sym}$	$V_{dom(TX)sym}=VCC-$ CANH - CANL	-400		400	mV
输出电压对称性	V_{TXsym} ⁽¹⁾	$V_{TXsym}=CANH +$ CANL, $R_L=60\Omega$, $C_{SPLIT}=4.7nF$, $f_{TXD}=250kHz, 1MHz,$ 2MHz 图 5	0.9VCC		1.1VCC	V
显性隐性共模输出电压差	$V_{cm(step)}$ ⁽¹⁾	图 3 , 图 5	-150		150	mV
显性隐性共模峰峰值	$V_{cm(p-p)}$ ⁽¹⁾	图 3 , 图 5	-300		300	mV
显性短路输出电流	$I_{O(SC)DOM}$	正常模式, TXD=0V, CANH=-15V 至 40V	-100	-70	-40	mA
		正常模式, TXD=0V, CANL=-15V 至 40V	40	70	100	mA

参数	符号	测试条件	最小	典型	最大	单位
隐性短路输出电流	$I_{O(SC)REC}$	正常模式, TXD=VIO, CANH=CANL=-27V 至 32V	-3		3	mA

如无另外说明, 所有典型值均在 25°C、电源电压 VCC=5V、VIO=5V (如果适用)、RL=60Ω 的条件下测得。

(1) 设计保证, 未在生产中测试。

总线发送器开关特性

参数	符号	测试条件	最小	典型	最大	单位
传播延时 (低到高)	$t_{d(TXD-busdom)}$ (1)	正常模式, 图 1 , 图 4		45		ns
传播延时 (高到低)	$t_{d(TXD-busrec)}$ (1)	正常模式, 图 1 , 图 4		55		ns
差分输出上升时间	$t_{r(BUS)}$ (1)			45		ns
差分输出下降时间	$t_{f(BUS)}$ (1)			45		ns

如无另外说明, 所有典型值均在 25°C、电源电压 VCC=5V、VIO=5V (如果适用)、RL=60Ω 的条件下测得。

(1) 设计保证, 未在生产中测试。

总线接收器直流特性

参数	符号	测试条件	最小	典型	最大	单位
接收器阈值电压	$V_{th(RX)dif}$	正常模式, -30V<V _{CM} <30V	0.5		0.9	V
		待机模式, -12V<V _{CM} <12V	0.4		1.15	V
接收器阈值电压 迟滞区间	$V_{hys(RX)dif}$	正常模式, -30V<V _{CM} <30V	50	120	400	mV
接收器隐性电压区间	$V_{rec(RX)}$	正常模式, -30V<V _{CM} <30V	-3		0.5	V
		待机模式, -12V<V _{CM} <12V	-3		0.4	V
接收器显性电压区间	$V_{dom(RX)}$	正常模式, -30V<V _{CM} <30V	0.9		8	V
		待机模式, -12V<V _{CM} <12V	1.15		8	V
总线漏电流	I_L	VCC=VIO=0V, CANH=CANL=5V	-10		10	μA

参数	符号	测试条件	最小	典型	最大	单位
CANH、CANL 输入电阻	R_{IN}	$-2V \leq CANH \leq 7V$ $-2V \leq CANL \leq 7V$	9	15	28	k Ω
CANH、CANL 差分输入电阻	R_{ID}	$-2V \leq CANH \leq 7V$ $-2V \leq CANL \leq 7V$	19	30	52	k Ω
CANH、CANL 输入电阻失配度	ΔR_{IN}	$0V \leq CANH \leq 5V$ $0V \leq CANL \leq 5V$	-2		2	%
CANH、CANL 对地输入电容	$C_{IN}^{(1)}$	TXD=VIO		24		pF
CANH、CANL 差分输入电容	$C_{ID}^{(1)}$	TXD=VIO		12		pF
总线压摆率	SR ⁽¹⁾	总线差分电压显性至隐性的边沿			70	V/ μ s

如无另外说明, 所有典型值均在 25°C、电源电压 VCC=5V、VIO=5V (如果适用)、RL=60 Ω 的条件下测得。

(1) 设计保证, 未在生产中测试。

总线接收器开关特性

参数	符号	测试条件	最小	典型	最大	单位
传播延迟 (低到高)	$t_{d(busdom-RXD)}^{(1)}$	正常模式, 图 1 , 图 4		45		ns
传播延迟 (高到低)	$t_{d(busrec-RXD)}^{(1)}$	正常模式, 图 1 , 图 4		45		ns
RXD 信号上升时间	$t_{r(RXD)}^{(1)}$			8		ns
RXD 信号下降时间	$t_{f(RXD)}^{(1)}$			8		ns

如无另外说明, 所有典型值均在 25°C、电源电压 VCC=5V、VIO=5V (如果适用)、RL=60 Ω 的条件下测得。

(1) 设计保证, 未在生产中测试。

器件开关特性

参数	符号	测试条件	最小	典型	最大	单位
环路延迟 1, TXD 下降沿至 RXD 下降沿	$t_{loop1}^{(1)}$	正常模式, 图 1 , 图 4	40		160	ns
环路延迟 2, TXD 上升沿至 RXD 上升沿	$t_{loop2}^{(1)}$	正常模式, 图 1 , 图 4	40		175	ns
BUS 输出位时间	$t_{bit(BUS)}^{(1)}$	$t_{bit(TXD)}=500ns$	435		530	ns
		$t_{bit(TXD)}=200ns$	155		210	ns
RXD 输出位时间	$t_{bit(RXD)}^{(1)}$	$t_{bit(TXD)}=500ns$	400		550	ns

参数	符号	测试条件	最小	典型	最大	单位
RXD 输出位时间	$t_{\text{bit(RXD)}}$ (1)	$t_{\text{bit(TXD)}}=200\text{ns}$	120		220	ns
BUS 与 RXD 输出位时间差	Δt_{rec} (1)	$\Delta t_{\text{rec}}= t_{\text{bit(RXD)}}- t_{\text{bit(BUS)}};$ $t_{\text{bit(TXD)}}=500\text{ns}$	-65		40	ns
		$\Delta t_{\text{rec}}= t_{\text{bit(RXD)}}- t_{\text{bit(BUS)}};$ $t_{\text{bit(TXD)}}=200\text{ns}$	-45		15	ns
TXD 显性超时时间	$t_{\text{dom_TXD}}$ (1)		0.8	2	4	ms
BUS 显性超时时间	$t_{\text{dom_BUS}}$ (1)		0.8	2	4	ms
待机模式到正常模式使能时间	t_{EN} (1)				10	μs
总线唤醒时间	t_{WAKE} (1)		0.5		1.8	μs

如无另外说明, 所有典型值均在 25°C、电源电压 VCC=5V、VIO=5V (如果适用)、RL=60Ω 的条件下测得。

(1) 设计保证, 未在生产中测试。

TXD 引脚特性

参数	符号	测试条件	最小	典型	最大	单位
TXD 端口高电平输入电流	$I_{\text{IH(TXD)}}$	TXD=VIO	-5		5	μA
TXD 端口低电平输入电流	$I_{\text{IL(TXD)}}$	TXD=0V	-260	-150	-30	μA
未上电 TXD 漏电流	$I_{\text{O(off)}}$	VCC=VIO=0V, TXD=5.5V	-1		1	μA
输入高电平下限	V_{IH}	SIT1042AQT/3、 SIT1042AQT/31、 SIT1042AQTK/3 和 SIT1042AQTK/31	0.7VIO		VIO+0.3	V
输入低电平上限	V_{IL}	SIT1042AQT/3、 SIT1042AQT/31、 SIT1042AQTK/3 和 SIT1042AQTK/31	-0.3		0.3VIO	V
输入高电平下限	V_{IH}	SIT1042AQT、 SIT1042AQT/1、 SIT1042AQTK 和 SIT1042AQTK/1	2		VCC+0.3	V
输入低电平上限	V_{IL}	SIT1042AQT、 SIT1042AQT/1、 SIT1042AQTK 和 SIT1042AQTK/1	-0.3		0.8	V

参数	符号	测试条件	最小	典型	最大	单位
TXD 端口悬空电压	TXD _o			H		logic

如无另外说明, 所有典型值均在 25°C、电源电压 VCC = 5V、VIO = 5V (如果适用)、R_L = 60Ω 的条件下测得。

STB 引脚特性

参数	符号	测试条件	最小	典型	最大	单位
STB 端口高电平输入电流	I _{IH} (STB)	STB = VIO	-2		2	μA
STB 端口低电平输入电流	I _{IL} (STB)	STB = 0V	-20		-2	μA
未上电 STB 漏电流	I _o (off)	VCC = VIO = 0V, STB = 5.5V	-1		1	μA
输入高电平下限	V _{IH}	SIT1042AQT/3、 SIT1042AQT/31、 SIT1042AQTK/3 和 SIT1042AQTK/31	0.7VIO		VIO + 0.3	V
输入低电平上限	V _{IL}	SIT1042AQT/3、 SIT1042AQT/31、 SIT1042AQTK/3 和 SIT1042AQTK/31	-0.3		0.3VIO	V
输入高电平下限	V _{IH}	SIT1042AQT、 SIT1042AQT/1、 SIT1042AQTK 和 SIT1042AQTK/1	2		VCC + 0.3	V
输入低电平上限	V _{IL}	SIT1042AQT、 SIT1042AQT/1、 SIT1042AQTK 和 SIT1042AQTK/1	-0.3		0.8	V
STB 端口悬空电压	STB _o			H		logic

如无另外说明, 所有典型值均在 25°C、电源电压 VCC = 5V、VIO = 5V (如果适用)、R_L = 60Ω 的条件下测得。

RXD 引脚特性

参数	符号	测试条件	最小	典型	最大	单位
RXD 端口高电平输出电流	I _{OH} (RXD)	VIO = VCC, RXD = VIO - 0.4V	-8	-3	-1	mA
RXD 端口低电平输出电流	I _{OL} (RXD)	RXD = 0.4V, 总线显性	2	5	12	mA

参数	符号	测试条件	最小	典型	最大	单位
未上电 RXD 漏电流	$I_{O(off)}$	VCC=VIO=0V, RXD=5.5V	-1		1	μA

如无另外说明, 所有典型值均在 25°C、电源电压 VCC=5V、VIO=5V (如果适用)、 $R_L=60\Omega$ 的条件下测得。

供电电流

参数	符号	测试条件	最小	典型	最大	单位
VCC 电源电流	I_{CC_D}	正常模式显性		45	70	mA
	I_{CC_R}	正常模式隐性		5	10	mA
VCC 电源电流	I_{CC_STB}	待机模式, STB=TXD=VIO, (SIT1042AQT/3、 SIT1042AQT/31、 SIT1042AQTK/3 和 SIT1042AQTK/31)		0.5	5	μA
VCC 电源电流	I_{CC_STB}	待机模式, STB=TXD=VCC, (SIT1042AQT、 SIT1042AQT/1、 SIT1042AQTK 和 SIT1042AQTK/1)		12	20	μA
VIO 电源电流	I_{IO_D}	正常模式显性		170	300	μA
	I_{IO_R}	正常模式隐性		15	30	μA
	I_{IO_STB}	待机模式, STB=TXD=VIO		10	17	μA

如无另外说明, 所有典型值均在 25°C、电源电压 VCC=5V、VIO=5V (如果适用)、 $R_L=60\Omega$ 的条件下测得。

过温保护

参数	符号	测试条件	最小	典型	最大	单位
过温关断	$T_{j(sd)}$ ⁽¹⁾			190		°C

如无另外说明, 所有典型值均在 25°C、电源电压 VCC=5V、VIO=5V (如果适用)、 $R_L=60\Omega$ 的条件下测得。

(1) 设计保证, 未在生产中测试。

欠压保护

参数	符号	测试条件	最小	典型	最大	单位
VCC 欠压保护	V_{uvd_VCC}		3.7	4	4.3	V

参数	符号	测试条件	最小	典型	最大	单位
VIO 欠压保护	$V_{\text{uvd_VIO}}$		1.7	2	2.3	V

如无另外说明, 所有典型值均在 25°C、电源电压 $V_{\text{CC}}=5\text{V}$ 、 $V_{\text{IO}}=5\text{V}$ (如果适用)、 $R_{\text{L}}=60\Omega$ 的条件下测得。

ESD 性能

参数	符号	测试条件	最小	典型	最大	单位
CAN 总线引脚接触放电模型 (IEC)	$V_{\text{ESD_IEC}}$	IEC 61000-4-2: 接触放电 (CANH, CANL)	-4		+4	kV
CAN 总线引脚人体放电模型 (HBM)	$V_{\text{ESD_HBM}}$	所有端口	-8		+8	kV
组件充电模型 (CDM)	$V_{\text{ESD_CDM}}$		-750		+750	V
机械模型 (MM)	$V_{\text{ESD_MM}}$		-300		+300	V

表 1 CAN 收发器真值表

TXD ⁽¹⁾	STB ⁽¹⁾	CANH ⁽¹⁾	CANL ⁽¹⁾	BUS 状态	RXD ⁽¹⁾
L	L	H	L	显性	L
H (或浮空)	L	0.5VCC	0.5VCC	隐性	H
X	H (或浮空)	GND	GND	隐性	H

(1) H=高电平; L=低电平; X=不关心

表 2 接收器功能表

工作模式	$V_{ID}=CANH-CANL$	BUS 状态	RXD ⁽¹⁾
正常模式	$V_{ID} \geq 0.9V$	显性	L
	$0.5 < V_{ID} < 0.9V$?	?
	$V_{ID} \leq 0.5V$	隐性	H
待机模式	$V_{ID} \geq 1.15V$	显性	L
	$0.4 < V_{ID} < 1.15V$?	?
	$V_{ID} \leq 0.4V$	隐性	H

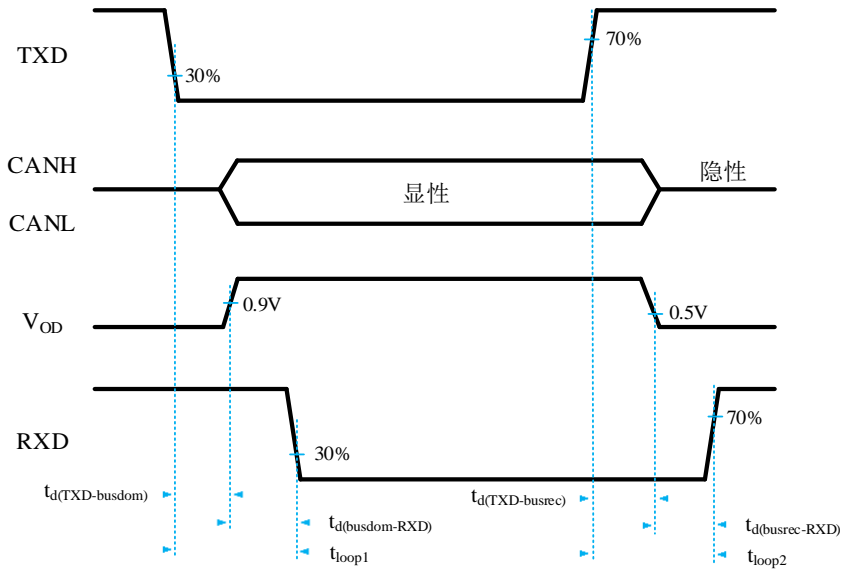
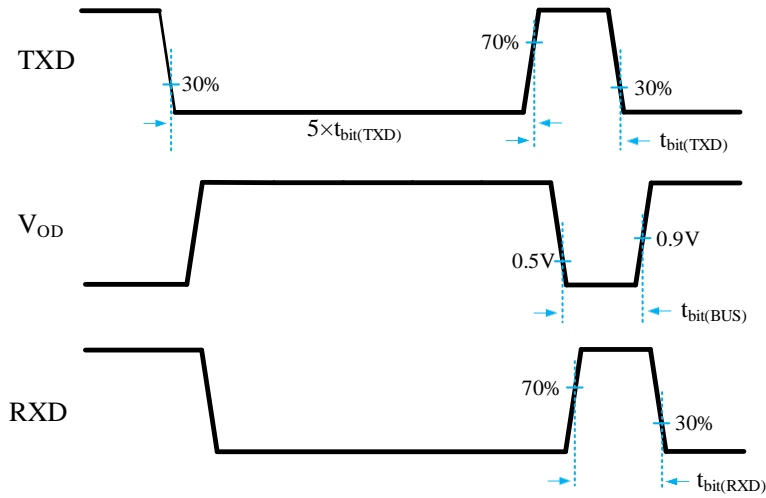
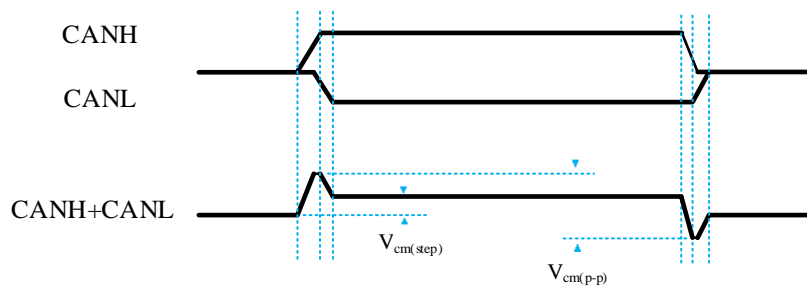
(1) H=高电平; L=低电平; ? =不确定

表 3 欠压保护状态表

VCC	VIO ⁽¹⁾	BUS 状态	BUS 输出 ⁽²⁾	RXD ⁽²⁾
$VCC > V_{uvd_VCC}$	$VIO > V_{uvd_VIO}$	正常	根据 STB 和 TXD	跟随总线
$VCC < V_{uvd_VCC}$	$VIO > V_{uvd_VIO}$	保护态	GND	H
$VCC > V_{uvd_VCC}$	$VIO < V_{uvd_VIO}$	保护态	Z	H
$VCC < V_{uvd_VCC}$	$VIO < V_{uvd_VIO}$	保护态	Z	H

(1) 仅限 SIT1042AQT/3、SIT1042AQTK/3 和 SIT1042AQT/31 型号;

(2) H=高电平; Z=高阻态。

波形时序图

图 1 收发器传输延时示意图

图 2 t_{bit} 延时示意图

图 3 总线共模电压 (SAE 1939-14)

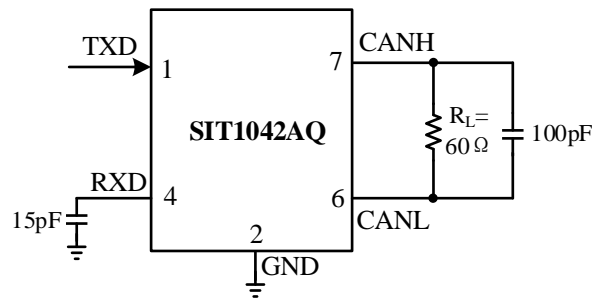
测试电路


图 4 收发器时序测试电路图

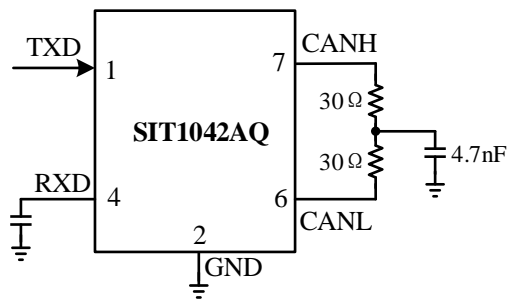


图 5 收发器总线对称性测试电路图

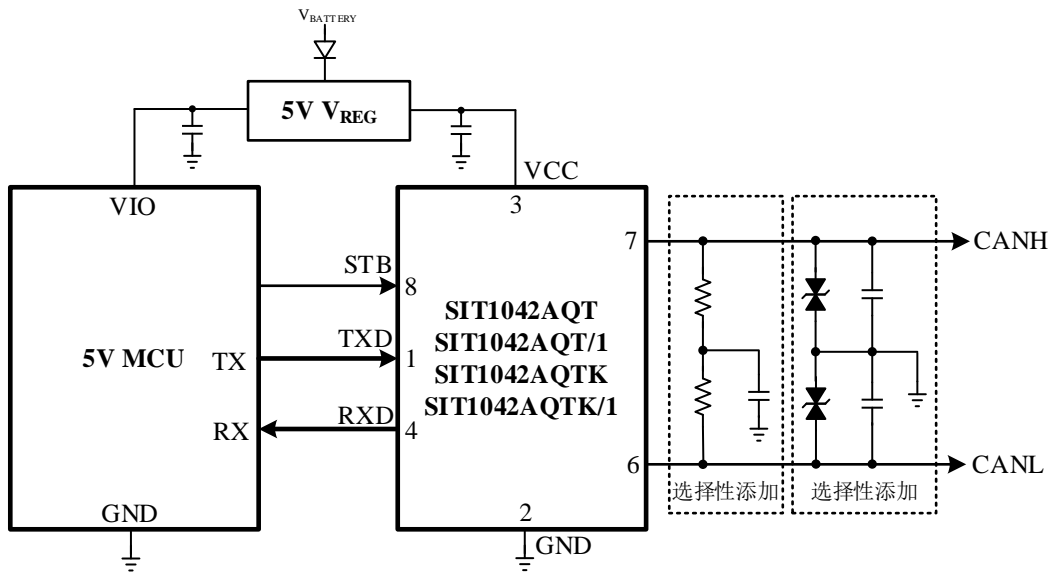
典型应用图


图 6 SIT1042AQ、SIT1042AQ/1、SIT1042AQK 和 SIT1042AQK/1 与 5V MCU 典型应用图

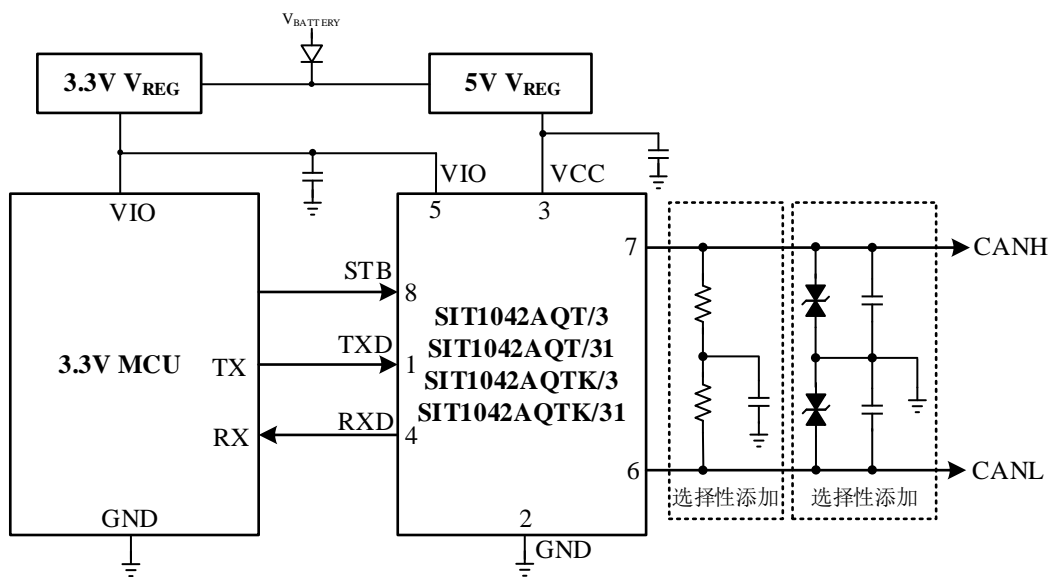


图 7 SIT1042AQ/3、SIT1042AQ/31、SIT1042AQK/3 和 SIT1042AQK/31 与 3.3V MCU 典型应用图

1 简述

SIT1042AQ 是一款应用于 CAN 协议控制器和物理总线之间的接口芯片, 可应用于车载、工业控制等领域, 支持 5Mbps 灵活数据速率 CAN FD, 具有在总线与 CAN 协议控制器之间进行差分信号传输的能力, 完全兼容“ISO 11898”标准。

2 短路保护

SIT1042AQ 的驱动级具有限流保护功能, 以防止驱动电路短路到正和负电源电压, 发生短路时功耗会增加, 短路保护功能可以保护驱动级不被损坏。

3 过温保护

SIT1042AQ 具有过温保护功能, 过温保护触发后, 驱动级的电流将减小, 因为驱动管是主要的耗能部件, 电流减小可以降低功耗从而降低芯片温度。同时芯片的其它部分仍然保持正常工作。

4 欠压保护

SIT1042AQ 电源引脚上具有欠压检测功能, 可将器件置于受保护模式。这样可在 VCC 低于 V_{uvd_VCC} 或 VIO 低于 V_{uvd_VIO} (如果适用) 时保护总线。

5 控制模式

控制引脚 STB 允许选择两种工作模式: 高速模式和待机模式。

高速模式是正常工作模式, 通过将引脚 STB 接地来选择。CAN 驱动器和接收器均能完全正常运行且 CAN 通信双向进行。

将引脚 STB 设置为高电平, 可激活低功耗待机模式。CAN 驱动器和接收器均关断, 以节系统功耗。引脚 STB 上的高电平激活该低功耗接收器和唤醒滤波器, 一旦低功率差分比较器检测到超过 t_{wake} 的主导总线电平, 引脚 RXD 将变为低电平。(在 SIT1042AQT/3、SIT1042AQT/31、SIT1042AQT/3 和 SIT1042AQT/31 中, 当 VCC 欠压或者 VCC 浮空, 只要 VIO 正常供电, 低功耗接收器仍可检测总线上的显隐性电平)

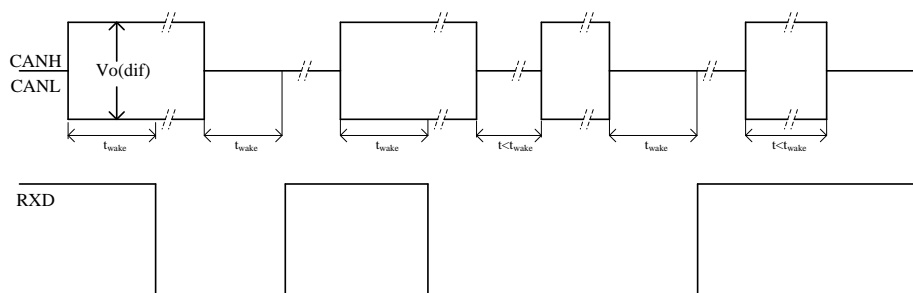


图 8 唤醒时序

6 显性超时功能

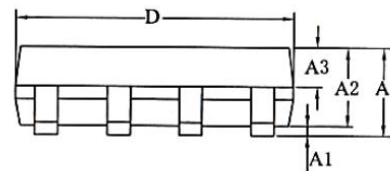
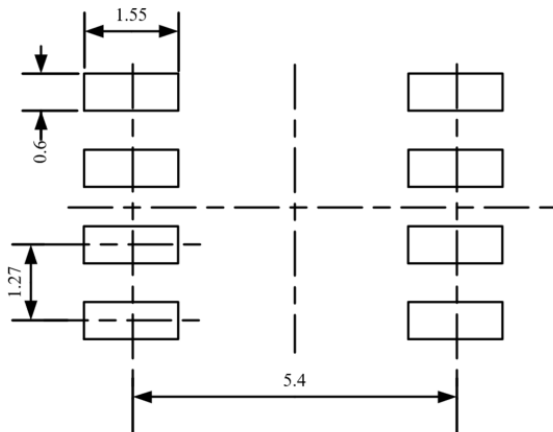
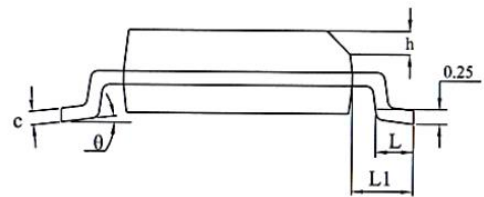
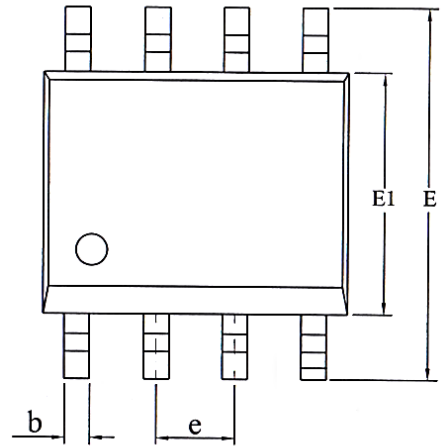
在高速模式下, 如果引脚 TXD 上的低电平持续时间超过内部定时器值 (t_{dom_TXD}), 发送器将被禁用, 驱动总线进入隐性状态。可防止引脚 TXD 因硬件或软件应用故障而被强制为永久低电平导

致总线线路被驱动至永久显性状态（阻塞所有网络通信）。引脚 TXD 出现上升沿信号可复位。

在待机模式下, 如果总线出现显性状态并持续时间超过 ($t_{\text{dom_BUS}}$), 引脚 RXD 将强制变为高电平。可防止由于总线短路或网络上其他一个节点的故障导致的永久唤醒。当总线由显性变为隐性即可复位。

SOP8 外形尺寸
封装尺寸

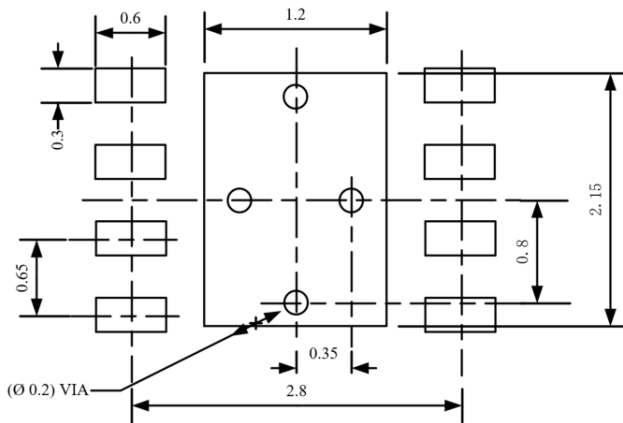
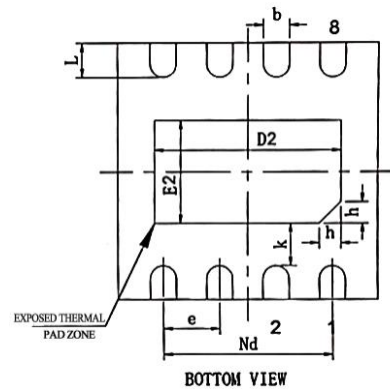
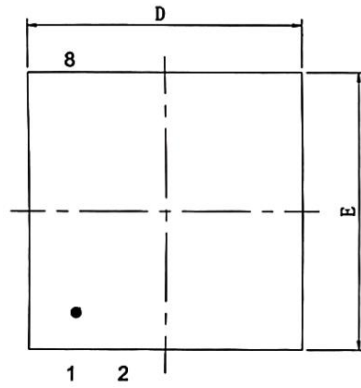
符号	最小值/mm	典型值/mm	最大值/mm
A	1.40	-	1.80
A1	0.10	-	0.25
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.38	-	0.51
D	4.80	4.90	5.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
L	0.40	0.60	0.80
L1	1.05REF		
c	0.20	-	0.25
θ	0°	-	8°



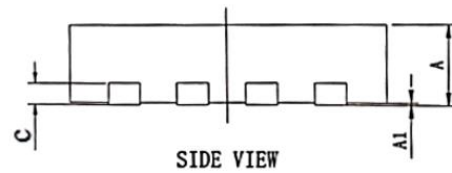
LAND PATTERN EXAMPLE (Unit: mm)

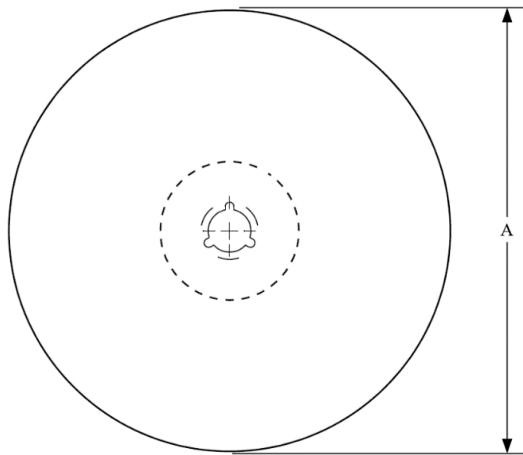
DFN3*3-8 外形尺寸
封装尺寸

符号	最小值/mm	典型值/mm	最大值/mm
A	0.70	0.75	0.80
A1	0	0.02	0.05
A3	0.203 REF		
D	2.90	3.00	3.10
E	2.90	3.00	3.10
D2	2.05	2.15	2.25
Nd	1.95BSC		
E2	1.10	1.20	1.30
b	0.25	0.30	0.35
e	0.65 TYP		
k	0.50REF		
L	0.35	0.4	0.45
h	0.20	0.25	0.30

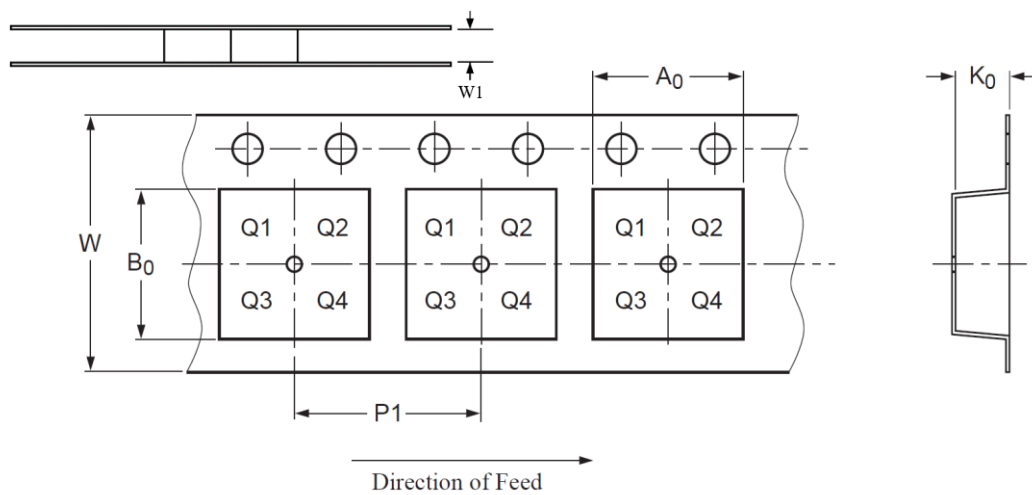


LAND PATTERN EXAMPLE (Unit: mm)



编带信息


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



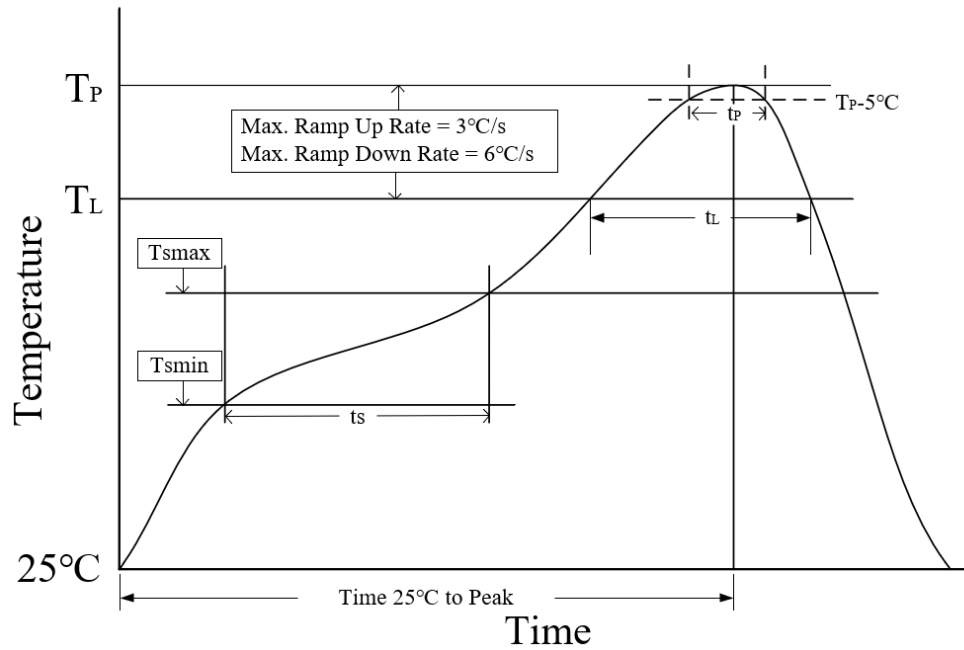
PIN1 is in quadrant 1

封装类型	卷盘直径 A (mm)	编带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)
SOP8	330±1	12.4	6.60±0.1	5.30±0.10	1.90±0.1	8.00±0.1	12.00±0.1
DFN3*3-8	329±1	12.4	3.30±0.1	3.30±0.1	1.10±0.1	8.00±0.1	12.00±0.3

订购信息

订购代码	封装	包装方式
SIT1042AQT	SOP8	盘装编带
SIT1042AQT/1	SOP8	盘装编带
SIT1042AQT/3	SOP8	盘装编带
SIT1042AQT/31	SOP8	盘装编带
SIT1042AQTK/3	DFN3*3-8, 小外形, 无引脚	盘装编带
SIT1042AQTK	DFN3*3-8, 小外形, 无引脚	盘装编带
SIT1042AQTK/31	DFN3*3-8, 小外形, 无引脚	盘装编带
SIT1042AQTK/1	DFN3*3-8, 小外形, 无引脚	盘装编带

SOP8 编带式包装为 2500 颗/盘, DFN3*3-8 编带式包装为 6000 颗/盘。

回流焊


参数	无铅焊接条件
平均温升速率 (T_L to T_P)	3 °C/second max
预热时间 t_s ($T_{smin}=150\text{ °C}$ to $T_{smax}=200\text{ °C}$)	60-120 seconds
融锡时间 t_L ($T_L=217\text{ °C}$)	60-150 seconds
峰值温度 T_P	260-265 °C
小于峰值温度 5 °C 以内时间 t_p	30 seconds
平均降温速率 (T_P to T_L)	6 °C/second max
常温 25°C 到峰值温度 T_P 时间	8 minutes max

重要声明

芯力特有权在不事先通知的情况下, 保留更改上述资料的权利。

修订历史

版本号	修订内容	修订时间
V1.0	初始版本。	2022.07
V1.1	修改 SIT1042AQT I/O 口输入阈值范围; 内部电路结构框图增加振铃抑制。	2022.08
V1.2	更新封装尺寸示意图 (尺寸不变)。	2023.02
V1.3	增加 AEC-Q100 认证。	2023.03
V1.4	增加 VIO 推荐工作范围; 增加“设计保证”备注说明; 格式调整。	2023.11
V1.5	增加“兼容 SAE J2284-1 to SAE J2284-5 标准”。	2024.04
V1.6	新增 SIT1042AQT 订购代码。	2024.07
V1.7	新增 SIT1042AQT/1、SIT1042AQT/1、SIT1042AQT/31 和 SIT1042AQT/31 订购代码。	2024.09